



Researcher 우대성, 전자공학과 (wds1269@ajou.ac.kr)
이원영, 전자공학과 (dnjsdud302@ajou.ac.kr)
김승국, 전자공학과(kimggg93@ajou.ac.kr)

Professor 이종욱, 전자공학과

ABSTRACT

MOSFET(Metal-Oxide-Semiconductor 구조)은 현재 전 세계 대표적인 트랜지스터로서 다양한 분야에서 사용되고 있다. 여러 구조의 트랜지스터가 존재하지만 대표적인 MOS 구조는 Vertical Electric field 효과를 사용하여 외부에서 가해진 전기장에 의해 Conductance를 변화시킬 수 있다. 이에 따라 사용자가 원하는 전류를 증폭하거나, 스위칭을 위해 사용될 수 있다. 최근, MOSFET의 개별 Chip size는 감소하는 추세이고, 이에 따라 발생하는 비이상적인 효과에 의해 누설전류가 증가하여 전력소모가 증가할 수 있다. 우리는 여러가지 특성 중에서 소자의 Speed와 관련된 On current를 증가시키기 위해 Oxide 두께를 공정과정에서 임의로 감소시키는 방법을 사용하고, 이를 Silvaco Simulation과 비교하였다.

OBJECTIVES

- 1학기 때 진행된 공정실습에서 만든 PMOSFET의 Oxide 두께를 500Å에서 300Å으로 변화시켜 MOSFET의 On current를 약 1.5배 증가시킨다.
- Oxide 두께 감소에 따라 MOSFET의 중요한 특성인 Threshold Voltage가 변화하는데, 이를 일정하게 유지시키기 위해 Well Formation와 Vth adjustment 공정을 추가시켜 Vth를 일정하게 유지시킨 상황에서 On current를 증가시킨다.

EXPERIMENT & SIMULATION RESULT

1. Experiment & Silvaco Simulation Results

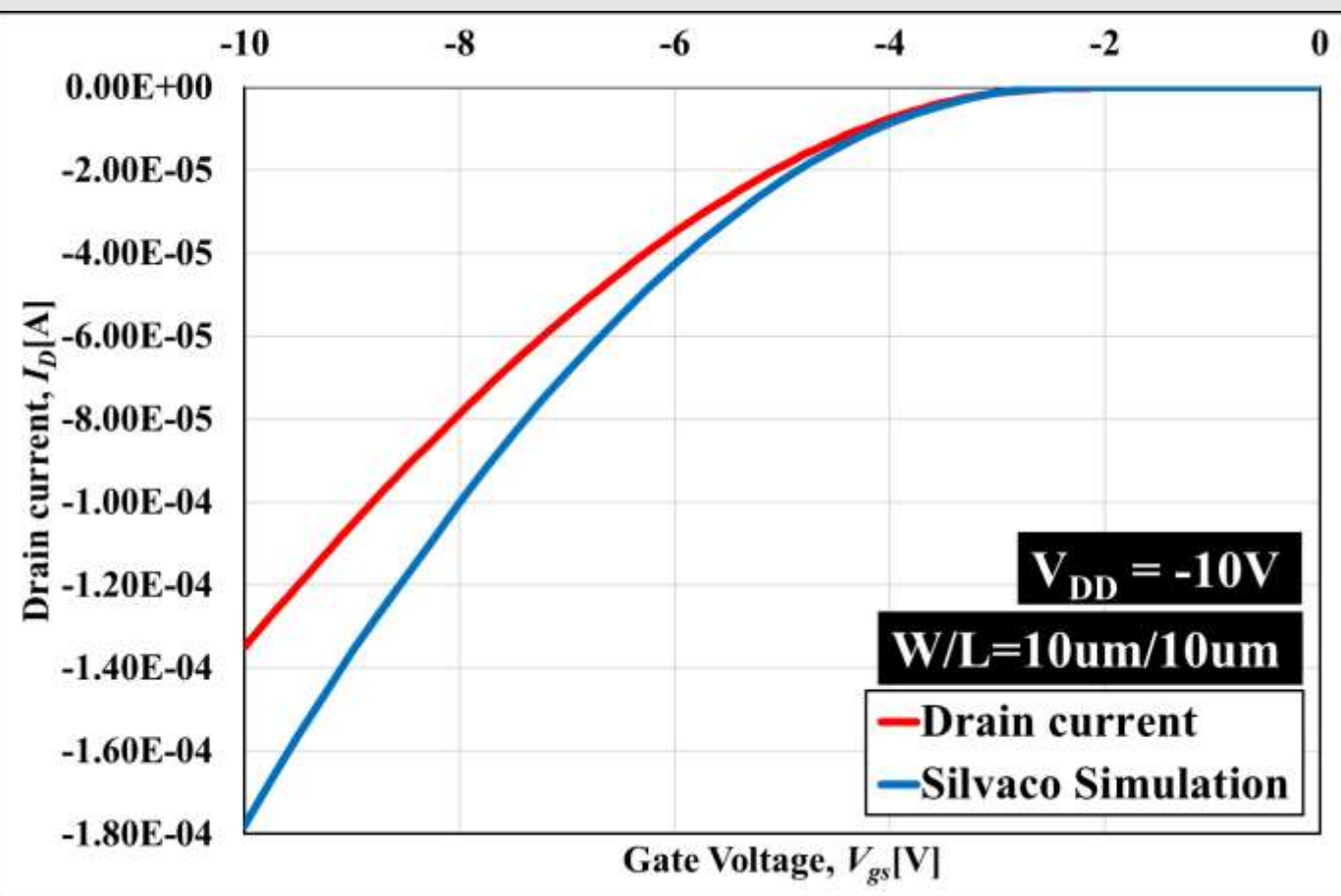


Fig 2. Current characteristics of Silvaco Simulation & Experiment

V_{DD}	-10V
L	10um
W	10um
V_{th}	-2.35V
Drain current (V_{gs}=-10V)	-0.137mA

Table 3. Current Characteristics value

2. Threshold Voltage & On-Current Distribution

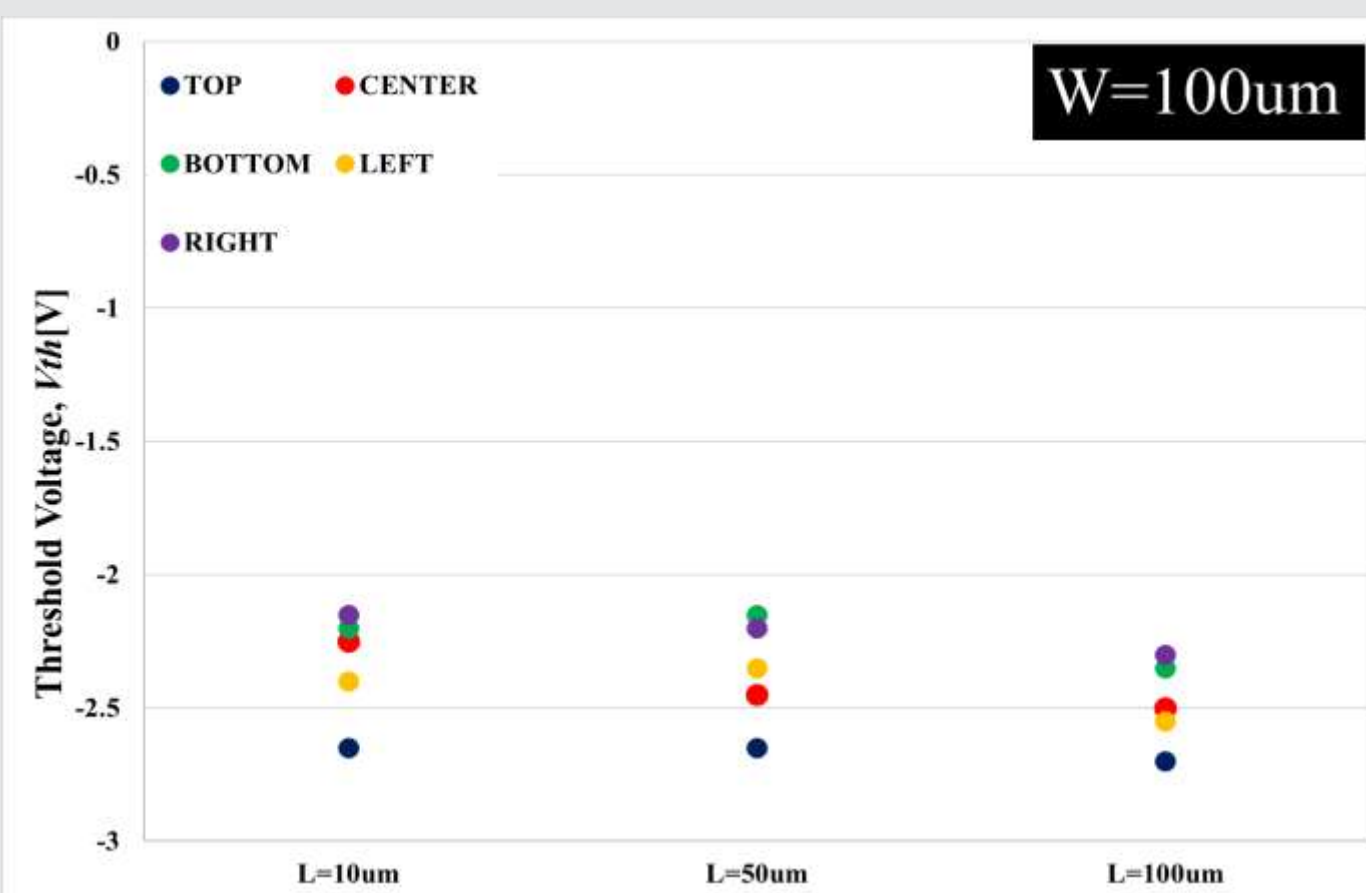


Fig 3. Threshold Voltage distribution at Width=100um

V_{th}	Value
Min	-2.2V
Max	-2.7V
Middle	-2.4V
Average	-2.38V

Table 4. Threshold voltage values at W/L=100um/10um

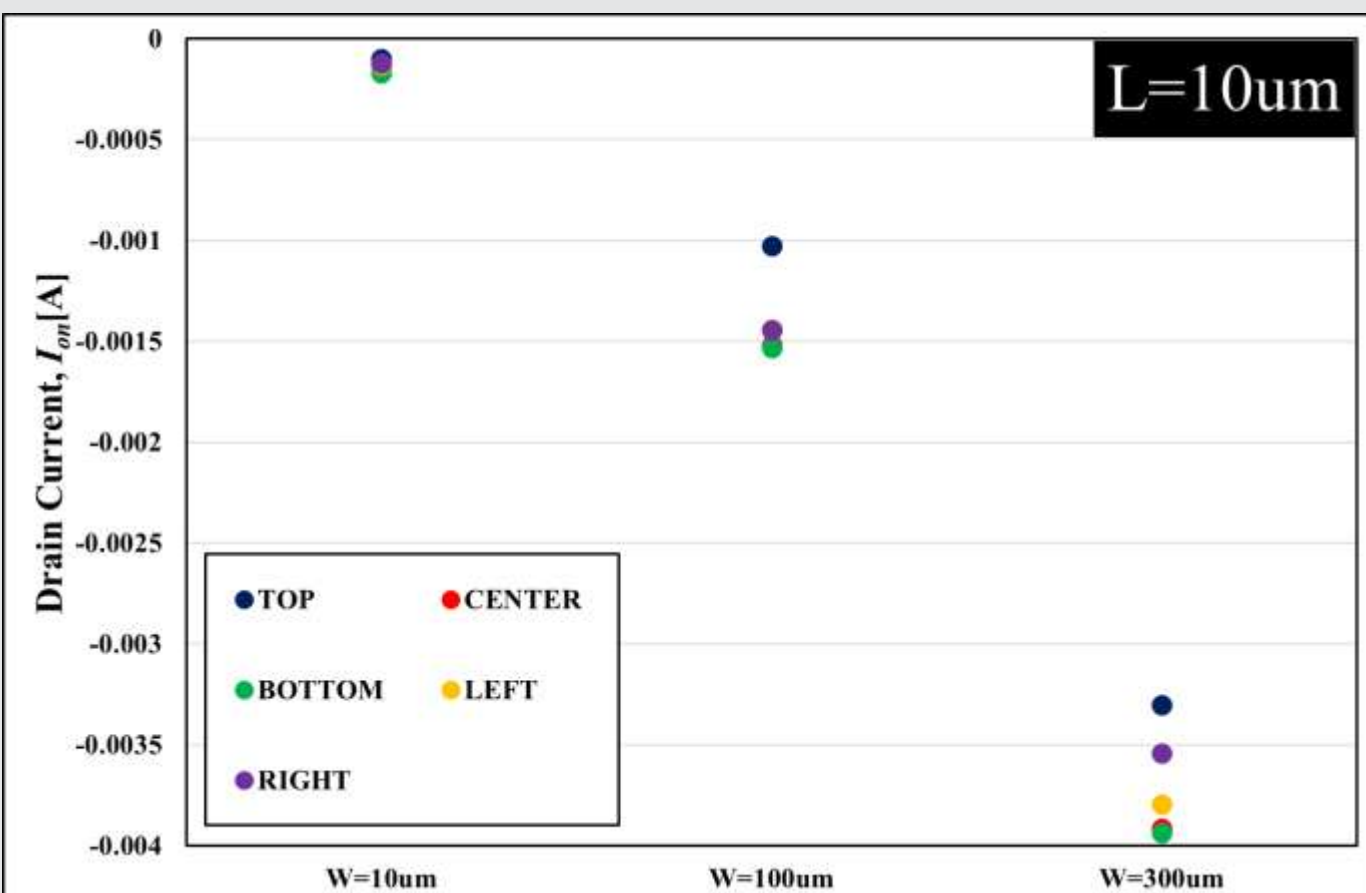


Fig 4. On-current distribution at Gate Length=10um

Current	Value
Min	-0.1mA
Max	-0.17mA
Middle	-0.13mA
Average	-0.132mA

Table 5. On-current values at W/L=10um/10um

- 공정과정에서 Gate Oxide 두께를 원하던 spec에 맞게 쌓는 것에 실패하여 기존의 reference 전류보다 전류가 내려간 것을 확인할 수 있다. 기존 current와 Vth는 -0.3mA와 -0.45V인데, Oxide두께는 그대로인 상태에서 Well과 Vth adjustment가 추가되니 Vth는 증가하고, On current는 감소하는 결과가 도출되었다.
- Oxide 두께를 기존 spec에 맞게 300Å으로 하고, Well doping과 Vth adjustment를 했을 경우, 우리가 원하는 spec에 맞게 결과가 나오는 것을 Silvaco Simulation을 통해 확인하였다.

METHODOLOGY

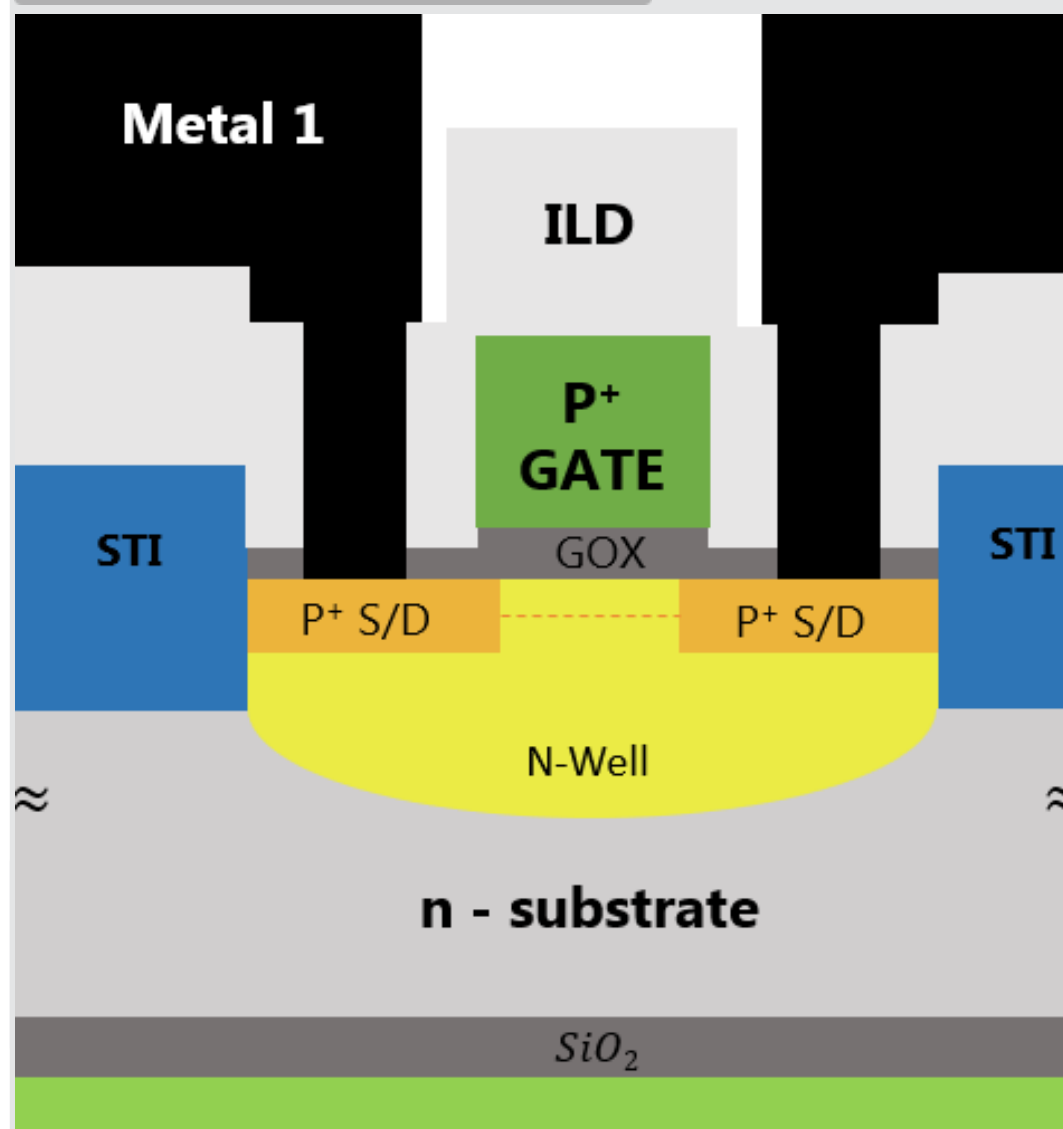


Fig 1. Cross section of P-MOSFET

-1학기 때는 N-Well과 Threshold voltage adjustment 공정을 진행하지 않았지만, 2학기 때는 1학기 때 결과에서 나온 Vth 값을 동일하게 맞추기 위해 위의 공정을 진행하였다.

-2학기 공정에서 추가된 Well formation과 Vth adjustment 공정은 ion implantation을 통해 doping 하였다.

Process	Condition
N-Well Formation	Phos dose 3e12, Energy 70keV
Vth adjustment	Bf2 dose 2e12, Energy 60keV

Table 1. Process condition

Category		Details	Remarks
Device		P-MOSFET	
Material	Substrate	N-type silicon wafer	4-inch
	Gate	Poly-Si	LPCVD
	Electrode	Aluminum	M1
Process	# of masks	6 layers	Active 1 & 2, S/D, Gate, Contact, M1
	Isolation	STI	Shallow Trench Isolation
	Doping	Ion implantation	Outsourcing @Nano Fab
	ILD	Oxide	PECVD
	Source & Drain	Self-aligned S/D	
Structure	Junction	P+/N Junction	Abrupt Junction
	Contact	Si-Al alloy	1% Si

Table 2. Outlook of Transistor to be fabricated

3. Silvaco Simulation at G_{ox}=300Å

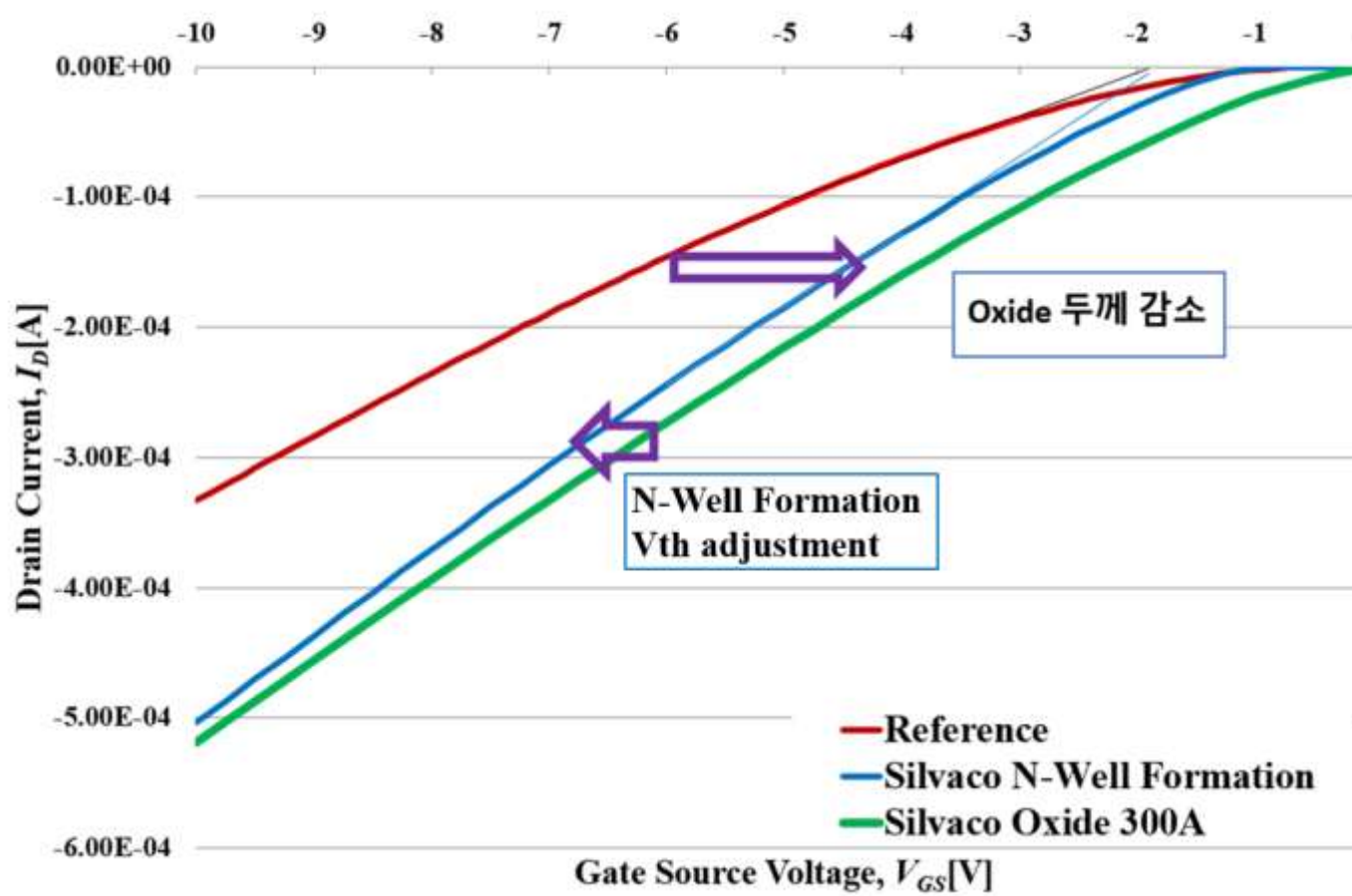


Fig 5. Drain Current vs Gate Source Voltage at Gate oxide 300Å

Gox	300Å
Vth	-0.43V
Current	-0.5mA
Phos, dose	3e12, 70keV
Bf2, dose	2e12, 60keV

Table 6. Current Characteristics value

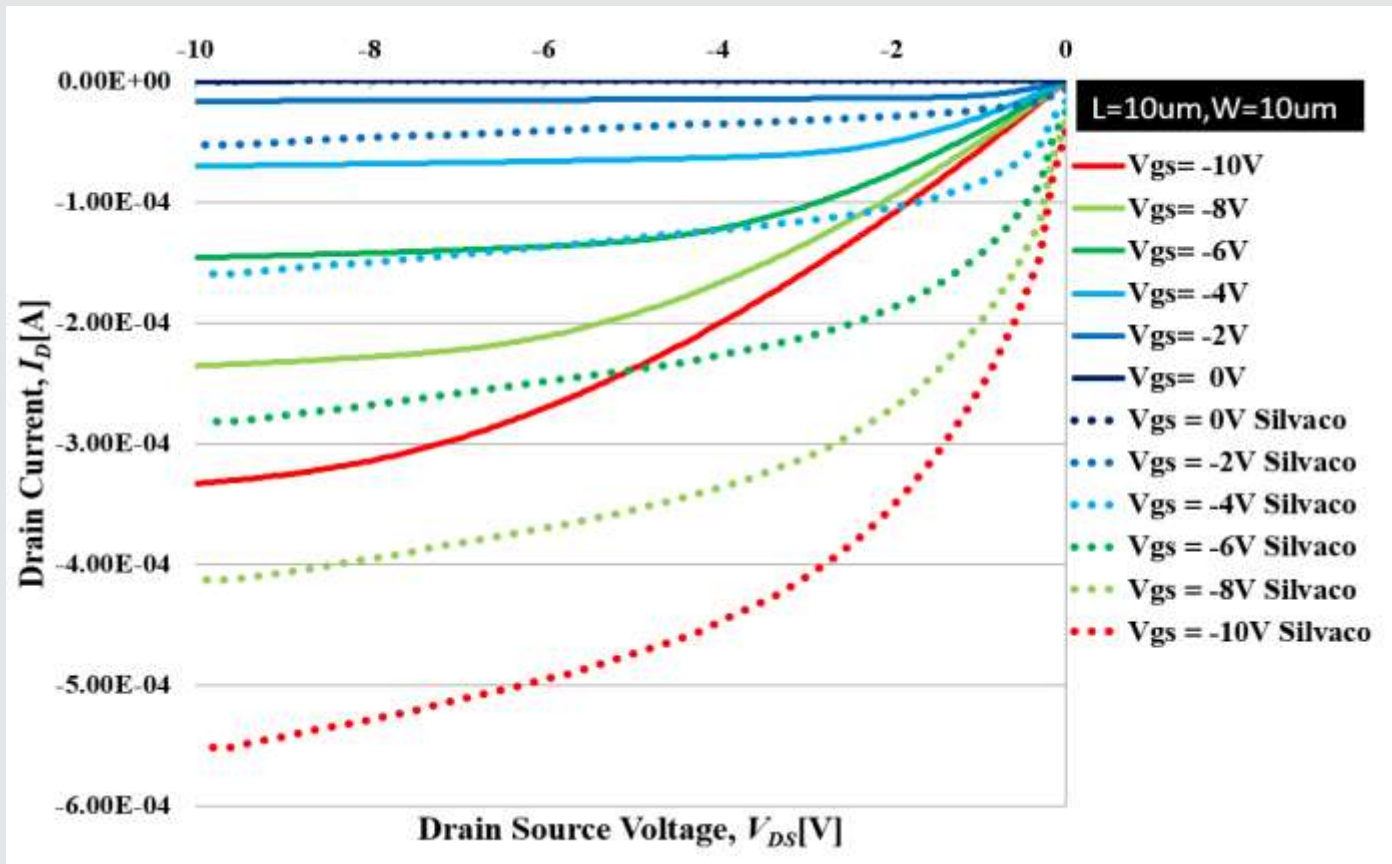


Fig 6. Drain Current vs Drain Source Voltage at Gate oxide 300Å

- Fig 5. 은 지난학과 동일한 공정과정에서 Gate Oxide의 두께만 300Å으로 변화시켰을 때와 Well doping과 Vth adjustment를 추가적으로 진행했을 경우 Silvaco simulation과 1 학기 때 측정된 결과값과 비교한 그래프 이다.
- 기존보다 낮아진 Oxide 두께로 인해 줄어든 Vth가 Well doping과 Vth adjustment를 통해 기존 값으로 유지될 수 있었고, 초기 설계한 Spec을 최종 확인하였다.

CONCLUSIONS

MOSFET 구조에서 Gate oxide 두께를 줄이고 Well doping과 Vth adjustment(BF2) 공정을 추가함으로써 Vth의 변화 없이 on current를 증가시킬 수 있다는 것을 Silvaco를 통해 확인 할 수 있었다.

따라서 MOSFET 공정 과정에서 Gate Oxide 두께 변화에 따른 Vth의 변화를 조절하기 위해서 doping 양을 바꾸면 원하는 Vth를 가지면서 기존보다 더 빠른 반도체 소자를 설계할 수 있을 것이라 생각된다.